

# CPU

VSS	1	40	RES
RDY	2	39	$\phi_1$ (OUT)
$\phi_1$ (OUT)	3	38	S0
IRQ	4	37	$\phi_0$ (IN)
N.C.	5	36	N.C.
NMI	6	35	N.C.
SYNC	7	34	R/W
VCC	8	33	D0
A0	9	32	D1
A1	10	31	D2
A2	11	30	D3
A3	12	29	D4
A4	13	28	D5
A5	14	27	D6
A6	15	26	D7
A7	16	25	A15
A8	17	24	A14
A9	18	23	A13
A10	19	22	A12
A11	20	21	VSS

$\phi_0$ (IN)	1	40	RES
RDY	2	39	$\phi_1$ (OUT)
IRQ	3	38	R/W
NMI	4	37	D0
AEC	5	36	D1
VCC	6	35	D2
A0	7	34	D3
A1	8	33	D4
A2	9	32	D5
A3	10	31	D6
A4	11	30	D7
A5	12	29	P0
A6	13	28	P1
A7	14	27	P2
A8	15	26	P3
A9	16	25	P4
A10	17	24	P5
A11	18	23	A15
A12	19	22	A14
A13	20	21	VSS

$\phi_0$ (IN)	1	40	RES
RDY	2	39	R/W
IRQ	3	38	D0
AEC	4	37	D1
VCC	5	36	D2
A0	6	35	D3
A1	7	34	D4
A2	8	33	D5
A3	9	32	D6
A4	10	31	D7
A5	11	30	P0
A6	12	29	A8
A7	13	28	P2
A8	14	27	P3
A9	15	26	P4
A10	16	25	A4
A11	17	24	P7
A12	18	23	Gate IN
A13	19	22	A1
VSS	20	21	A14

$\phi_0$ (IN)	1	40	RES
RDY	2	39	$\phi_1$ (OUT)
IRQ	3	38	R/W
NMI	4	37	D0
AEC	5	36	D1
VCC	6	35	D2
A0	7	34	D3
A1	8	33	D4
A2	9	32	D5
A3	10	31	D6
A4	11	30	D7
A5	12	29	P0
A6	13	28	P1
A7	14	27	P2
A8	15	26	P3
A9	16	25	P4
A10	17	24	P5
A11	18	23	A15
A12	19	22	A14
A13	20	21	VSS

$\phi_0$ (IN)	1	40	RES
RDY	2	39	R/W
IRQ	3	38	D0
AEC	4	37	D1
VCC	5	36	D2
A0	6	35	D3
A1	7	34	D4
A2	8	33	D5
A3	9	32	D6
A4	10	31	D7
A5	11	30	P0
A6	12	29	P1
A7	13	28	P2
A8	14	27	P3
A9	15	26	P4
A10	16	25	P6
A11	17	24	P7
A12	18	23	Gate IN
A13	19	22	A15
VSS	20	21	A14

$\phi_0$ (IN)	1	40	RES
RDY	2	39	R/W
IRQ	3	38	D0
NMI	4	37	D1
AEC	5	36	D2
VCC	6	35	D3
A0	7	34	D4
A1	8	33	D5
A2	9	32	D6
A3	10	31	D7
A4	11	30	P0
A5	12	29	P1
A6	13	28	P2
A7	14	27	P3
A8	15	26	P4
A9	16	25	P5
A10	17	24	P6
A11	18	23	A15
A12	19	22	A14
A13	20	21	VSS

A11	1	40	A10
A12	2	39	A9
A13	3	38	A8
A14	4	37	A7
A15	5	36	A6
CLK	6	35	A5
D4	7	34	A4
D3	8	33	A3
D5	9	32	A2
D6	10	31	A1
VCC	11	30	A0
D2	12	29	VSS
D7	13	28	REFSH
D0	14	27	M1
D1	15	26	RESET
INT	16	25	BUSRQ
NMI	17	24	WAIT
HALT	18	23	BUSACK
MREQ	19	22	WRITE
IORQ	20	21	READ

CAP 1A	1	28	VDD
CAP 1B	2	27	Audio out
CAP 2A	3	26	EXT IN
CAP 2B	4	25	VCC
RES	5	24	POT X
$\phi_2$	6	23	POT Y
R/W	7	22	D7
CS	8	21	D6
A0	9	20	D5
A1	10	19	D4
A2	11	18	D3
A3	12	17	D2
A4	13	16	D1
VSS	14	15	D0

VSS	1	40	CNT
PA0	2	39	SP
PA1	3	38	RS0
PA2	4	37	RS1
PA3	5	36	RS2
PA4	6	35	RS3
PA5	7	34	RES
PA6	8	33	D0
PA7	9	32	D1
PB0	10	31	D2
PB1	11	30	D3
PB2	12	29	D4
PB3	13	28	D5
PB4	14	27	D6
PB5	15	26	D7
PB6	16	25	$\phi_2$
PB7	17	24	FLAG
PC	18	23	CS
TOD	19	22	R/W
VCC	20	21	IRQ

# Video

N.C.	1	40	VDD
CHROMA	2	39	$\phi_1$
LUMA SYNC	3	38	$\phi_2$
R/W	4	37	OPTION
D11	5	36	P $\phi_2$
D10	6	35	P $\phi_1$
D9	7	34	A13
D8	8	33	A12
D7	9	32	A11
D6	10	31	A10
D5	11	30	A9
D4	12	29	A8
D3	13	28	A7
D2	14	27	A6
D1	15	26	A5
D0	16	25	A4
POT X	17	24	A3
POT Y	18	23	A2
AUDIO	19	22	A1
VSS	20	21	A0

N.C.	1	40	VDD
CHROMA	2	39	$\phi_1$
LUMA SYNC	3	38	$\phi_2$
R/W	4	37	OPTION
D11	5	36	P $\phi_2$
D10	6	35	P $\phi_1$
D9	7	34	A13
D8	8	33	A12
D7	9	32	A11
D6	10	31	A10
D5	11	30	A9
D4	12	29	A8
D3	13	28	A7
D2	14	27	A6
D1	15	26	A5
D0	16	25	A4
POT X	17	24	A3
POT Y	18	23	A2
AUDIO	19	22	A1
VSS	20	21	A0

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	A1
VSS	20	21	A0

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	A1
VSS	20	21	A0

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	A1
VSS	20	21	A0

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	A1
VSS	20	21	A0

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	A1
VSS	20	21	A0

A2	1	48	A3
A1	2	47	A4
A0	3	46	A5
VDD	4	45	A6
CS0	5	44	A7
CS1	6	43	A8
R/W	7	42	A9
IRQ	8	41	A10
MUX	9	40	A11
RAS	10	39	A12
CAS	11	38	A13
CLK OUT	12	37	A14
COLOR	13	36	A15
CLK IN	14	35	AEC
K0	15	34	BA
K1	16	33	SND
K2	17	32	DB7
K3	18	31	DB6
K4	19	30	DB5
K5	20	29	DB4
K6	21	28	DB3
K7	22	27	DB2
LUM	23	26	DB1
VSS	24	25	DB0

A2	1	48	A3
A1	2	47	A4
A0	3	46	A5
VDD	4	45	A6
CS0	5	44	A7
CS1	6	43	A8
R/W	7	42	A9
IRQ	8	41	A10
MUX	9	40	A11
RAS	10	39	A12
CAS	11	38	A13
CLK OUT	12	37	A14
COLOR	13	36	A15
CLK IN	14	35	AEC
K0	15	34	BA
K1	16	33	SND
K2	17	32	DB7
K3	18	31	DB6
K4	19	30	DB5
K5	20	29	DB4
K6	21	28	DB3
K7	22	27	DB2
LUM	23	26	DB1
VSS	24	25	DB0

# Memory

A7	1	24	VCC
A6	2	23	A8
A5	3	22	A9
A4	4	21	CE3
A3	5	20	CE1
A2	6	19	A10
A1	7	18	CE2
A0	8	17	D7
D0	9	16	D6
D1	10	15	D5
D2	11	14	D4
VSS	12	13	D3

**2316**

A7	1	24	VCC
A6	2	23	A8
A5	3	22	A9
A4	4	21	CE2
A3	5	20	CE1
A2	6	19	A10
A1	7	18	A11
A0	8	17	D7
D0	9	16	D6
D1	10	15	D5
D2	11	14	D4
VSS	12	13	D3

**2332**

A7	1	24	VCC
A6	2	23	A8
A5	3	22	A9
A4	4	21	A12
A3	5	20	CE
A2	6	19	A10
A1	7	18	A11
A0	8	17	D7
D0	9	16	D6
D1	10	15	D5
D2	11	14	D4
VSS	12	13	D3

**2364**

N.C.	1	28	VCC
A12	2	27	CS3
A7	3	26	A13
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	CS1
A2	8	21	A10
A1	9	20	CS2
A0	10	19	D7
D0	11	18	D6
D1	12	17	D5
D2	13	16	D4
VSS	14	15	D3

**23128**

VPP	1	28	VCC
A12	2	27	A14
A7	3	26	A13
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	OE
A2	8	21	A10
A1	9	20	CE
A0	10	19	D8
D1	11	18	D7
D2	12	17	D6
D3	13	16	D5
VSS	14	15	D4

**27256**

A15	1	28	VCC
A12	2	27	A14
A7	3	26	A13
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	OE VPP
A2	8	21	A10
A1	9	20	CE
A0	10	19	D8
D1	11	18	D7
D2	12	17	D6
D3	13	16	D5
VSS	14	15	D4

**27512**

N.C.	1	28	VCC
A12	2	27	CS3
A7	3	26	A13
A6	4	25	A8
A5	5	24	A9
A4	6	23	CS1
A3	7	22	CS2
A2	8	21	A10
A1	9	20	D7
D0	10	19	D6
D1	11	18	D5
D2	12	17	D4
D3	13	16	D3
VSS	14	15	D3

**23128**

N.C. (FE)	1	28	VCC
A13 (7)	2	27	A12 (8)
A14 (8)	3	26	BA (9)
A15 (5)	4	25	AEC (10)
VA14 (4)	5	24	R/W (11)
CHAREN (3)	6	23	EXROM (12)
HIRAM (2)	7	22	GAME (13)
LORAM (1)	8	21	VA13 (14)
CAS (0)	9	20	VA12 (15)
ROMH (7)	10	19	OE
ROML (6)	11	18	CASRAM (F0)
I/O (F5)	12	17	BASIC (F1)
GR/W (F4)	13	16	KERNAL (F2)
VSS	14	15	CHAROM (F3)

**906114-01 (PLA) (82S100)**

CS	1	28	INTRQ
R/W	2	27	DRQ
A0	3	26	DDEN
A1	4	25	WPRT
D0	5	24	IP
D1	6	23	TR00
D2	7	22	WD
D3	8	21	WG
D4	9	20	MO
D5	10	19	RD
D6	11	18	CLK
D7	12	17	DIRC
MR	13	16	STEP
VSS	14	15	VCC

**WD1770**

CS	1	28	INTRQ
R/W	2	27	DRQ
A0	3	26	DDEN
A1	4	25	WPRT
D0	5	24	IP
D1	6	23	TR00
D2	7	22	WD
D3	8	21	WG
D4	9	20	MO
D5	10	19	RD
D6	11	18	CLK
D7	12	17	DIRC
MR	13	16	STEP
VSS	14	15	VCC

**WD1772**

# Other

N.C.	1	16	N.C.
VSS	2	15	VDD
N.C.	3	14	XTAL IN
N.C.	4	13	XTAL OU
RESET	5	12	VDD
ØDOT	6	11	N.C.
PAL	7	10	N.C.
ØCOLOR	8	9	VSS

**8701**

A15	1	48	VCC
A14	2	47	CLK
A13	3	46	CHAROM
A12	4	45	COLRAM
A11	5	44	GWE
A10	6	43	I/O ACC
VICFIX	7	42	VIC
DMAACK	8	41	CASENB
AEC	9	40	DWE
R/W	10	39	DIR
GAME	11	38	I/O CS
EXROM	12	37	ROM 1
Z80 EN	13	36	ROM 2
Z80 I/O	14	35	ROM 3
126/64	15	34	ROM 4
I/O SE	16	33	FROM
ROMBANKH	17	32	CLRBK
ROMBANKL	18	31	ROM H
VMA4	19	30	ROM L
VMA5	20	29	S DEN
BA	21	28	nc
LORAM	22	27	128/256
HIRAM	23	26	VA14
VSS	24	25	CHAREN

**8721**

VDD	1	48	SENCE40
RES	2	47	128/64
TA15	3	46	EXROM
TA14	4	45	GAME
TA13	5	44	FSDIR
TA12	6	43	Z80EN
TA11	7	42	D7
TA10	8	41	D6
TA9	9	40	D5
TA8	10	39	D4
CAS1	11	38	D3
CASO	12	37	D2
CAS3	13	36	D1
CAS2	14	35	D0
CAS1	15	34	VSS
MUX	16	33	PHI0
A0	17	32	R/W
A0	18	31	A15
A1	19	30	A14
A2	20	29	A13
A3	21	28	A12
A4/5	22	27	A11
A6/7	23	26	A10
A8	24	25	A9

**8722**

A13	1	64	VDD
A14	2	63	A12
A15	3	62	A11
R/W	4	61	A10
LORAM	5	60	A9
HIRAM	6	59	A8
CHAREN	7	58	A7
NMI	8	57	A6
RESTORE	9	56	A5
VA14	10	55	A4
VA15	11	54	A3
CIA2	12	53	A2
CHAROM	13	52	A1
BASIC	14	51	A0
KERNAL	15	50	ROMH
VSS	16	49	I/O1
COLRAM	17	48	VSS
CAS0	18	47	GAME
CAS1	19	46	EXROM
CAS2	20	45	I/O2
CAS3	21	44	ROML
CASRAM	22	43	SID
RAM R/W	23	42	VA7
MA6	24	41	VA6
MA3	25	40	VIC
MA0	26	39	BA
MA2	27	38	AEC
MA4	28	37	Ø <sub>0</sub>
MA1	29	36	RAS
MA5	30	35	CAS
MA7	31	34	CIA1
nc	32	33	VSS

**251715-01**

A13	1	64	VDD
A14	2	63	A12
A15	3	62	A11
R/W	4	61	A10
LORAM	5	60	A9
HIRAM	6	59	A8
CHAREN	7	58	A7
NMI	8	57	A6
RESTORE	9	56	A5
VA14	10	55	A4
VA15	11	54	A3
CIA2	12	53	A2
CHAROM	13	52	A1
BASIC	14	51	A0
KERNAL	15	50	ROMH
VSS	16	49	I/O1
COLRAM	17	48	VSS
CAS0	18	47	GAME
CAS1	19	46	EXROM
CAS2	20	45	I/O2
CAS3	21	44	ROML
CASRAM	22	43	SID
RAM R/W	23	42	VA7
MA6	24	41	VA6
MA3	25	40	VIC
MA0	26	39	BA
MA2	27	38	AEC
MA4	28	37	Ø <sub>0</sub>
MA1	29	36	RAS
MA5	30	35	CAS
MA7	31	34	CIA1
nc	32	33	VSS

**252535-01**

# Drive IC's

NANVA CONT	1	34	NANVA CONT
VCC1 (5V)	2	33	VCC1 (5V)
MMVS	3	32	MMVS
MMVA	4	31	MMVA
Digital Gnd	5	30	Digital Gnd
NC	6	29	NC
NANVA COMP	7	28	NANVA COMP
COMP in B	8	27	COMP in B
COMP in A	9	26	COMP in A
Diff out B	10	25	Diff out B
Diff out A	11	24	Diff out A

**CX20185**

Diff constant B	1	33	Read Data
Diff constant A	2	32	Power On
Diff in B	3	31	Side1
Diff in A	4	30	Erase Gate
Pre out B	5	29	Write Gate
Pre out A	6	28	Write Data
Gain Sel A	7	27	Write Current
Gain Sel B	8	26	W/C SET
Gain Sel CASE	9	25	W/C COMP
Read Dump B	10	24	Erase out
Read Dump A	11	23	Erase Circuit Gnd

OSC	1	20	RAME
SYNC	2	19	I/O1
DATA	3	18	I/O2
TEST	4	17	CS1
GND	5	16	CS2
A15	6	15	VCC
A14	7	14	ROME
A13	8	13	LOCK
A12	9	12	PLL
A10	10	11	CLR

**251829-01**

TEST	1	40	BYTE
YB0	2	39	SOE
YB1	3	38	B
YB2	4	37	CK
YB3	5	36	QX
YB4	6	35	Q
YB5	7	34	R/W
YB6	8	33	LOCK
YB7	9	32	PLL
GND	10	31	CLR
STP1	11	30	VCC
STP0	12	29	XRW
MTR	13	28	Y3
A	14	27	Y2
DS0	15	26	Y1
DS1	16	25	Y0
SYNC	17	24	ATN
TED	18	23	ATNI
OE	19	22	ATNA
ACCL	20	21	OSC

**251828-03**

TEST	1	42	BYTE
YB0	2	41	SOE
YB1	3	40	B
YB2	4	39	CK
YB3	5	38	QX
YB4	6	37	Q
YB5	7	36	R/W
YB6	8	35	LOCK
YB7	9	34	PLL
GND	10	33	CLR
STP1	11	32	VCC
STP0	12	31	XRW
MTR	13	30	Y3
A	14	29	Y2
DS0	15	28	Y1
DS1	16	27	Y0
SYNC	17	26	ATN
TED	18	25	ATNI
OE	19	24	ATNA
ACCL	20	23	OSC
VCC	21	22	GND

**251828-02**

VCC	1	40	B
B	2	39	BYTE READY
Q	3	38	SOE
MTR	4	37	SYNC
A	5	36	OE
NC	6	35	YB7
MTR	7	34	YB6
NC	8	33	NC
NC	9	32	YB5
STEP0	10	31	YB4
NC	11	30	YB3
STEP1	12	29	YB2
NC	13	28	NC
NC	14	27	YB1
Y3	15	26	YB0
Y2	16	25	Q-OUT
Y1	17	24	D-IN
Y0	18	23	CLK-IN
CLOCK	19	22	LOAD
GND	20	21	CLEAR

**325572-01**

SRQ OUT	1	48	DATA OUT
TED	2	47	SRQ IN
Ø	3	46	DATA IN
CK	4	45	IRQ
ACCL	5	44	RES
VIA1 PAS	6	43	N.C.
Ø <sub>2</sub>	7	42	N.C.
D7	8	41	INDEX
D6	9	40	WG
D5	10	39	WPRT
D4	11	38	RD
VSS	12	37	WD
VCC	13	36	VCC
D3	14	35	VSS
D2	15	34	VIA1
D1	16	33	RAM
D0</			